

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

12916726

Basic Patent (No,Kind,Date): JP 8051207 A2 960220 <No. of Patents: 001>

FILM TRANSISTOR AND ITS MANUFACTURE (English)

Patent Assignee: CASIO COMPUTER CO LTD

Author (Inventor): SATO TOSHIHIKO

IPC: #H01L-029/786; H01L-021/336

CA Abstract No: 125(06)073630Q

Derwent WPI Acc No: C 96-169168

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 8051207	A2	960220	JP 94203000	A	940805 (BASIC)

Priority Data (No,Kind,Date):

JP 94203000 A 940805

## Patent Abstracts of Japan

PUBLICATION NUMBER : 08051207  
PUBLICATION DATE : 20-02-96

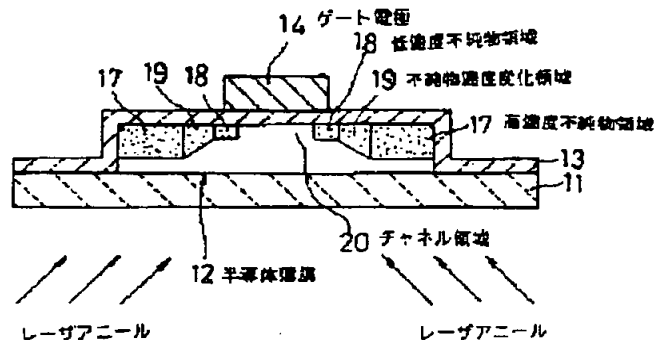
APPLICATION DATE : 05-08-94  
APPLICATION NUMBER : 06203000

APPLICANT : CASIO COMPUT CO LTD;

INVENTOR : SATO TOSHIHIKO;

INT.CL. : H01L 29/786 H01L 21/336

TITLE : FILM TRANSISTOR AND ITS  
MANUFACTURE



ABSTRACT : PURPOSE: To reduce steps and make the resistance of a low-concentration impurity region small, and lighten an electric field, in an LDD structure of film transistor.

CONSTITUTION: Impurities in low concentration are implanted into the shallow sections of a semiconductor film 12 on both sides of a gate electrode 14, and impurities in high concentration are implanted into a deep section. This implantation is performed continuously, whereby the steps becomes fewer. And, when laser annealing is performed obliquely from lower right and left to the rear, high-concentration impurity regions 17 will be made at both outer sections of a semiconductor film 12, and lowconcentration impurity regions 18 are made at inner sections, and impurity concentration changing regions 19, where the concentration of impurities increase gradually from the sides of low-concentration impurity regions 18 to the sides of high-concentration impurity regions 17, are made between them, and further the inner sections of the low-concentration impurity regions 18 overlap a gate electrode 14.

COPYRIGHT: (C) JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-51207

(43)公開日 平成8年(1996)2月20日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 21/336		9056-4M	H 0 1 L 29/ 78	6 1 6 A

審査請求 未請求 請求項の数3 F D (全 5 頁)

(21)出願番号 特願平6-203000

(22)出願日 平成6年(1994)8月5日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 佐藤 俊彦

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

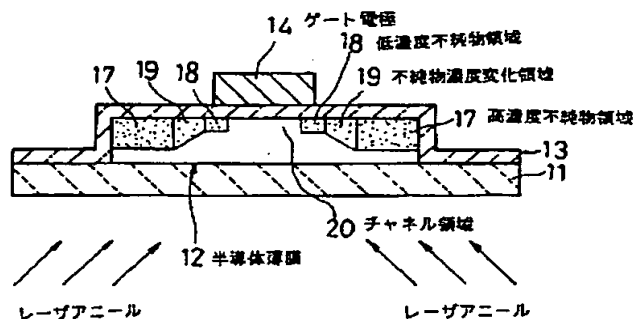
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 LDD構造の薄膜トランジスタにおいて、工程数を少なくし、低濃度不純物領域の抵抗を小さくし、電界をより一層緩和する。

【構成】 ゲート電極14の両側における半導体薄膜12の浅い部分に低濃度の不純物を注入し、深い部分に高濃度の不純物を注入する。この注入は連続して行い、これにより工程数が少なくなる。そして、裏面左右斜めからのレーザアニールを行うと、半導体薄膜12の両外側の部分に高濃度不純物領域17が形成され、内側の部分に低濃度不純物領域18が形成され、その間に低濃度不純物領域18側から高濃度不純物領域17側にかけて不純物濃度が徐々に増加する不純物濃度変化領域19が形成され、さらに低濃度不純物領域18の内側の部分がゲート電極14とオーバーラップすることになる。



## 【特許請求の範囲】

【請求項1】 ゲート電極と対向して配置された半導体薄膜のチャネル領域の両外側を低濃度不純物領域とされ、その両外側を高濃度不純物領域とされた薄膜トランジスタにおいて、

前記低濃度不純物領域と前記高濃度不純物領域との間に前記低濃度不純物領域側から前記高濃度不純物領域側にかけて不純物濃度が徐々に増加する不純物濃度変化領域を形成し、且つ前記低濃度不純物領域の前記チャネル領域側が前記ゲート電極とオーバーラップしていることを特徴とする薄膜トランジスタ。

【請求項2】 半導体薄膜のゲート電極と対向する領域の両側の浅い部分にゲート電極をマスクとして不純物を低濃度に注入するとともに、深い部分に不純物を高濃度に注入し、

裏面左右斜めからのレーザアニールを行うことにより、前記不純物注入領域の外側の部分に高濃度不純物領域を形成し、内側の部分に低濃度不純物領域を形成し、その間に前記低濃度不純物領域側から前記高濃度不純物領域側にかけて不純物濃度が徐々に増加する不純物濃度変化領域を形成し、さらに前記低濃度不純物領域の内側の部分が前記ゲート電極とオーバーラップするようにしたことを特徴とする薄膜トランジスタの製造方法。

【請求項3】 表面左右斜めからイオン注入を行うことにより半導体薄膜のゲート電極と対向する領域の両外側およびその各内側の浅い部分に不純物を低濃度に注入することを特徴とする請求項2記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 LDD (Lightly Doped Drain) 構造と呼ばれる薄膜トランジスタは、半導体薄膜の中央部をチャネル領域とされ、その両外側を低濃度不純物領域（低濃度ソース・ドレイン領域）とされ、さらにその両外側を高濃度不純物領域（高濃度ソース・ドレイン領域）とされた構造であって、例えば図6および図7にそれぞれ示すような工程を経て製造されている。すなわち、まず図6に示すように、ガラス等からなる透明基板1の上面の所定の個所にアモルファスシリコンやポリシリコン等からなる半導体薄膜2を形成し、その上面全体に酸化シリコンからなるゲート絶縁膜3を形成し、半導体薄膜2の中央部（チャネル領域2aを形成すべき領域）の上面にフォトリソからなる低濃度不純物注入マスク4を形成し、この状態で半導体薄膜2に低濃度のリンイオンやボロンイオン等の不純物を注入する。その後、低濃度不純物注入マスク4をエッチングして除去する。

【0003】 次に、図7に示すように、半導体薄膜2の

中央部およびその両外側の低濃度不純物領域2bを形成すべき領域の上面にフォトリソからなる高濃度不純物注入マスク5を形成し、この状態で半導体薄膜2の高濃度不純物領域2cを形成すべき領域に高濃度のリンイオンやボロンイオン等の不純物を注入する。この後、高濃度不純物注入マスク膜5をエッチングして除去する。かくして、中央部をチャネル領域2aとされ、その両外側を低濃度不純物領域2bとされ、さらにその両外側を高濃度不純物領域2cとされた半導体薄膜2を得ている。そして、低濃度不純物領域2bの存在により不純物濃度勾配が緩やかとなり、これにより電界を緩和し、耐圧の向上を図るようにしている。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のこのような薄膜トランジスタの製造方法では、低濃度不純物注入マスク4を用いた低濃度不純物注入工程と高濃度不純物注入マスク膜5を用いた高濃度不純物注入工程とが全く別々であるので、その分だけ工程数が多いという問題があった。また、低濃度不純物領域2bの抵抗が一定で比較的大きく、このためドレイン電流が低下するという問題があった。この問題は、チャネル長が短く、チャネルコンダクタンスが大きくなるほど顕著である。さらに、低濃度不純物領域2bの存在により不純物濃度勾配を緩やかとしているが、低濃度不純物領域2bと高濃度不純物領域2cとが横方向にただ単に並んで形成されているので、この間の不純物濃度勾配が急峻となり、このため電界を十分に緩和することができず、ひいては耐圧の向上を十分に図ることができないという問題があった。この発明の目的は、工程数を少なくすることができ、また低濃度不純物領域の抵抗を小さくすることができ、さらに電界をより一層緩和することのできる薄膜トランジスタの製造方法を提供することにある。

【0005】

【課題を解決するための手段】 請求項1記載の発明に係る薄膜トランジスタは、低濃度不純物領域と高濃度不純物領域との間に前記低濃度不純物領域側から前記高濃度不純物領域側にかけて不純物濃度が徐々に増加する不純物濃度変化領域を形成し、且つ前記低濃度不純物領域のチャネル領域側がゲート電極とオーバーラップするようにしたものである。請求項2記載の発明に係る薄膜トランジスタの製造方法は、半導体薄膜のゲート電極と対向する領域の両側の浅い部分にゲート電極をマスクとして不純物を低濃度に注入するとともに、深い部分に不純物を高濃度に注入し、裏面左右斜めからのレーザアニールを行うことにより、前記不純物注入領域の外側の部分に高濃度不純物領域を形成し、内側の部分に低濃度不純物領域を形成し、その間に前記低濃度不純物領域側から前記高濃度不純物領域側にかけて不純物濃度が徐々に増加する不純物濃度変化領域を形成し、さらに前記低濃度不純物領域の内側の部分が前記ゲート電極とオーバーラップす

るようにしたものである。請求項3記載の発明に係る薄膜トランジスタの製造方法は、表面左右斜めからイオン注入を行うことにより半導体薄膜のゲート電極と対向する領域の両外側およびその各内側の浅い部分に不純物を低濃度に注入するようにしたものである。

【0006】

【作用】この発明によれば、高濃度不純物領域と低濃度不純物領域との間に不純物濃度が徐々に変化する不純物濃度変化領域を形成しているので、電界をより一層緩和することができる。また、低濃度不純物領域のチャンネル領域側がゲート電極とオーバーラップするようにしているので、動作時に低濃度不純物領域のゲート電極と対向する表面にキャリアが蓄積された状態となり、このため低濃度不純物領域の抵抗を小さくすることができる。また、請求項2または3記載の発明によれば、低濃度不純物と高濃度不純物の注入領域を異ならせ、且つこの不純物注入状態に応じてレーザアニールするだけで、高濃度不純物領域と低濃度不純物領域との間に不純物濃度が徐々に変化する不純物濃度変化領域を形成し、且つ低濃度不純物領域の内側の部分をゲート電極とオーバーラップさせることができ、しかもこの場合低濃度不純物と高濃度不純物の注入を連続して行うことができ、したがって工程数を少なくすることができる。

【0007】

【実施例】図1～図4はそれぞれこの発明の第1実施例におけるLDD構造の薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、この実施例におけるLDD構造の薄膜トランジスタの構造についてその製造方法と併せ説明する。

【0008】まず、図1に示すように、ガラス等からなる透明基板11の上面の所定の個所にアモルファスシリコンからなる半導体薄膜12を形成する。次に、上面全体に酸化シリコンからなるゲート絶縁膜13を形成する。次に、半導体薄膜12の中央部に対応する部分のゲート絶縁膜13の上面の所定の個所にクロムやモリブデン等からなるゲート電極14を形成する。

【0009】次に、図2に示すように、ゲート電極14側の真上からゲート電極14をマスクとしてその両側における半導体薄膜12の浅い部分15に低濃度の不純物を注入した後、深い部分16に高濃度の不純物を注入する。この場合、イオンインプラント装置やイオンシャワ装置等を用いて、一例として、まずリンイオン等のn型不純物をドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー $130 \text{ keV}$ で注入し、次いでこれに連続して同一のn型不純物をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー $45 \text{ keV}$ で注入する。

【0010】次に、図3に示すように、裏面左右斜めからのレーザアニールを行う。すなわち、1回目は図3において左側の裏面斜めからエキシマレーザを照射し、2回目は同図において右側の裏面斜めからエキシマレーザ

を照射する。この場合、エキシマレーザの照射距離によって不純物の拡散の度合いが大きく異なり、照射距離の小さい方がより大きく拡散し、また斜めからのレーザアニールであるので、横方向にも大きく拡散することになる。この結果、半導体薄膜12の両外側の部分に高濃度不純物領域17が形成され、内側の部分に低濃度不純物領域18が形成され、その間に低濃度不純物領域18側から高濃度不純物領域17側にかけて不純物濃度が徐々に増加する不純物濃度変化領域19が形成され、さらに低濃度不純物領域18の内側の部分がゲート電極14とオーバーラップすることになる。すなわち、両低濃度不純物領域18間に真性領域からなるチャンネル領域20が形成されている。また、このとき、注入不純物は活性化され、またアモルファスシリコンからなる半導体薄膜12は多結晶化されて多結晶シリコン薄膜となる。

【0011】次に、図4に示すように、ゲート絶縁膜13の所定の箇所にコンタクトホール21を形成する。次に、コンタクトホール21の部分およびゲート絶縁膜13の上面の所定の個所にアルミニウム等からなるソース・ドレイン電極22を形成し、高濃度不純物領域17と接続させる。次に、上面全体に窒化シリコンからなる保護膜23を形成する。かくして、この実施例のLDD構造の薄膜トランジスタが製造される。

【0012】このようにして得られた薄膜トランジスタでは、高濃度不純物領域17と低濃度不純物領域18との間に低濃度不純物領域18側から高濃度不純物領域17側にかけて不純物濃度が徐々に増加する不純物濃度変化領域19が形成されているので、電界をより一層緩和することができる。また、低濃度不純物領域18のチャンネル領域20側がゲート電極14とオーバーラップすることになるので、動作時に低濃度不純物領域18のゲート電極14と対向する表面にキャリアが蓄積された状態となり、このため低濃度不純物領域18の抵抗を小さくことができ、ひいてはドレイン電流を大きくすることができる。さらに、不純物を注入するとき、半導体薄膜12の浅い部分15に低濃度不純物を注入するとともに深い部分16に高濃度不純物を注入し、そして裏面左右斜めからのレーザアニールを行うだけでよく、しかも低濃度不純物と高濃度不純物の注入を連続して行うことができ、したがって工程数を少なくすることができる。

【0013】なお、上記第1実施例では、ゲート電極14側の真上から低濃度の不純物を注入する場合について説明したが、次に第2実施例について説明する。まず、図5に示すように、半導体薄膜12のゲート電極14側の左右上方の斜めから不純物を低濃度に注入する。このため、半導体薄膜12のゲート電極14と対向する領域の両外側およびその各内側の浅い部分15に不純物が確実に注入される。次いで、半導体薄膜12のゲート電極14と対向する領域の両側の深い部分16に真上から不

純物を高濃度に注入し、そして裏面左右斜めからのレーザアニールを行うことにより、半導体薄膜12の両外側の部分に高濃度不純物領域(17)を形成し、ゲート電極14と対向する領域の両外側の部分に低濃度不純物領域(18)を形成し、高濃度不純物領域(17)と低濃度不純物領域(18)との間に不純物濃度が徐々に変化する不純物濃度変化領域(19)を形成する。したがって、低濃度不純物領域(18)の内側の部分がより確実にゲート電極14とオーバーラップすることができる。なおまた、上記各実施例では、低濃度の不純物を注入した後、高濃度の不純物を注入したが、高濃度の不純物を注入してから低濃度の不純物を注入してもよい。

#### 【0014】

【発明の効果】以上説明したように、この発明によれば、高濃度不純物領域と低濃度不純物領域との間に不純物濃度が徐々に変化する不純物濃度変化領域を形成しているため、電界をより一層緩和することができ、ひいては耐圧の向上をより一層図ることができる。また、低濃度不純物領域のチャネル領域側がゲート電極とオーバーラップするようにしているので、動作時に低濃度不純物領域のゲート電極と対向する表面にキャリアが蓄積された状態となり、このため低濃度不純物領域の抵抗を小さくすることができ、ひいてはドレイン電流を大きくすることができる。また、請求項2または3記載の発明によれば、低濃度不純物と高濃度不純物の注入領域を異ならせ、且つこの不純物注入状態に応じてレーザアニールするだけでよく、しかも低濃度不純物と高濃度不純物の注

入を連続して行うことができ、したがって工程数を少なくすることができる。

#### 【図面の簡単な説明】

【図1】この発明の第1実施例における薄膜トランジスタの製造に際し、透明基板の上面に半導体薄膜、ゲート絶縁膜およびゲート電極を形成した状態の断面図。

【図2】同製造に際し、低濃度不純物と高濃度不純物を深さを変えて連続して注入した状態の断面図。

【図3】同製造に際し、裏面左右斜めからレーザアニールを行った状態の断面図。

【図4】同製造に際し、ソース・ドレイン電極および保護膜を形成した状態の断面図。

【図5】この発明の第2実施例における薄膜トランジスタの製造に際し、低濃度不純物と高濃度不純物の注入を説明するために示す断面図。

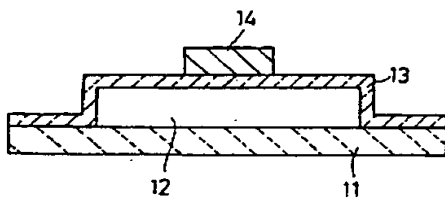
【図6】従来の薄膜トランジスタの製造に際し、低濃度不純物の注入を説明するために示す断面図。

【図7】同従来の製造に際し、高濃度不純物の注入を説明するために示す断面図。

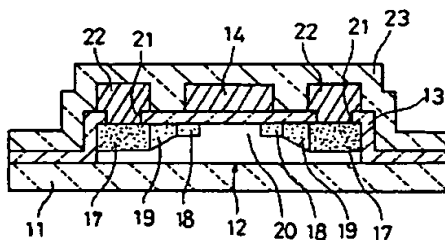
#### 【符号の説明】

- 12 半導体薄膜
- 14 ゲート電極
- 17 高濃度不純物領域
- 18 低濃度不純物領域
- 19 不純物濃度変化領域
- 20 チャネル領域

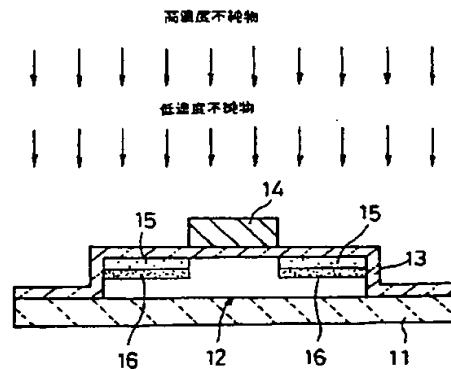
【図1】



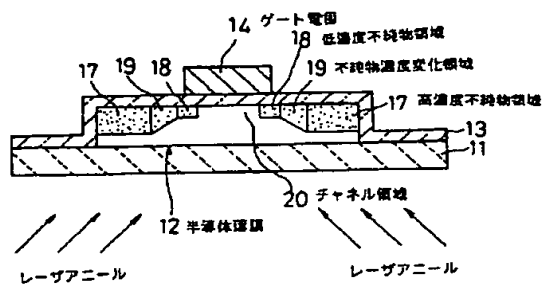
【図4】



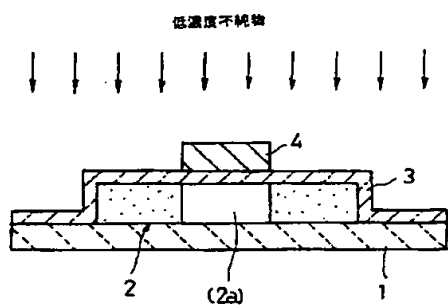
【図2】



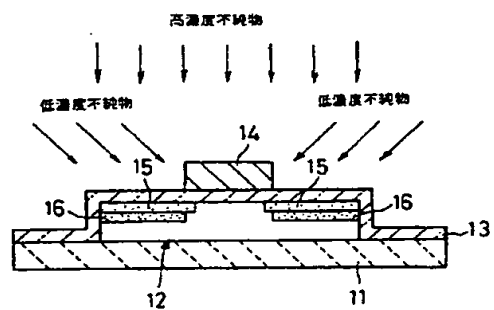
【図3】



【図6】



【図5】



【図7】

